



XXVIII Comunicaciones Científicas y Tecnológicas

Orden Poster: CT-001 (ID: 2488)

Autor: Torres, Martín Alejandro

Título: Método para el cálculo del retraso límite entre transistores IGBT conectados en serie, análisis y cálculo de un circuito de balance para mitigarlo

Director: De Bortoli, Mario Eduardo

Co-Director: Marighetti, Jorge Omar

Palabras clave: Electrónica de potencia, IGBT conectados en serie, Inversores VSI

Área de Beca: Tecnologías

Tipo Beca: Cyt - Iniciación

Periodo: 01/03/2022 al 01/03/2025

Lugar de trabajo: Facultad De Ingeniería

Proyecto: (21D006) Análisis de la estabilidad de la interacción fluido estructura de cuerpos pequeños móviles no aerodinámicos por acción del viento a través de estudios experimentales y computacionales.

Resumen:

OBJETIVOS:

Calcular mediante métodos numéricos y metodologías de confiabilidad en ingeniería, los valores de retraso límite de acción de compuerta al cierre y apertura, entre transistores IGBT conectados en serie.

Analizar y calcular, mediante simulaciones numéricas un circuito de balance, el cual sea capaz de mitigar las sobre tensiones generadas sobre el IGBT debido al retraso límite calculado.

MATERIALES Y MÉTODOS:

Se definen dos funciones de falla del tipo $0=LIM(X)-R(X)$, una para el caso de apertura del IGBT y otra para el caso de cierre del mismo. Las funciones $R(X)$ contienen variables de distribución normal con valores medios obtenidos de la hoja de datos del IGBT, y desvíos estándar del 50% de estos, lo cual contempla retrasos generados por capacitancias e inductancias parásitas. El límite, $LIM(X)$, de dichas funciones es una variable con distribución de tipo lognormal. A su vez, se plantean 20 IGBT de 1200 V de tensión máxima conectados en serie, los cuales pertenecen a la rama de un inversor trifásico de 2 niveles de 18 kVcc y 200 kVA en media tensión. Por lo tanto, se tendrán 20 modos de falla. Con las funciones de falla, utilizando el software RELAN (Foschi et al., 2005), para implementar el algoritmo FORM (First Order Reliability Method), se obtienen los valores de retraso límite (al cierre y apertura) entre IGBT, siendo dichos valores los que aseguran una probabilidad de falla de 0.01%, por lo tanto, el circuito de balance debe ser capaz de mitigar las sobre tensiones generadas por el retraso dado.

Luego, se analiza y calcula un circuito de balance, mediante simulaciones numéricas realizadas con el software LTspice® XVII. El circuito de balance consta de un divisor capacitivo, un divisor resistivo, un diodo y resistencia de realimentación que actúan sobre la compuerta del IGBT. El mismo se ensaya de manera numérica, sobre un circuito de 2 IGBT de 1200V, modelo FGW40N120WE, de la marca FUJI, accionados por señales PWM (Pulse Width Modulation) de 10 kHz, con ciclo de trabajo del 50%, con un retraso entre ambas, igual a los antes calculados. La carga es de tipo R-L, de 40 Ohm y 40 mH, respectivamente, la tensión de alimentación es de 2000 V y la corriente de 25 A. Se simulan las condiciones de retraso de señales al cierre y apertura de los IGBT, con y sin circuito de balance.

RESULTADOS O CONCLUSIONES:

Los resultados muestran cómo el retraso calculado, al ser aplicado en el circuito de prueba, genera sobre tensiones que exceden los valores máximos de tensión del IGBT, que es de 1200 V, por lo tanto, al conectar los transistores en serie, es necesaria la implementación de un método que permita proteger a los IGBT de las posibles sobre tensiones, que son causadas debido a la falta de sincronía en el funcionamiento de los transistores, tanto por efectos de inductancias y capacitancias parásitas, así como de imperfecciones intrínsecas en cada transistor.

A su vez, los resultados obtenidos de las simulaciones numéricas realizadas con el circuito de balance antes mencionado, con los valores propuestos en las mismas, muestran que este logra mitigar las sobre tensiones sobre los IGBT, logrando que las mismas se mantengan por debajo del valor máximo, que en este caso es de 1200 V.